

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

16453854

Basic Patent (No,Kind,Date): JP 2000275678 A2 20001006 <No. of Patents:
001>

THIN-FILM SEMICONDUCTOR DEVICE AND ITS PRODUCTION (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): KAWAKITA TETSUO

IPC: *G02F-001/136; H01L-029/786; H01L-021/336

Derwent WPI Acc No: *C 01-105565; C 01-105565

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2000275678	A2	20001006	JP 9983320	A	19990326 (BASIC)

Priority Data (No,Kind,Date):

JP 9983320 A 19990326

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06689848 **Image available**

THIN-FILM SEMICONDUCTOR DEVICE AND ITS PRODUCTION

PUB. NO.: 2000-275678 [JP 2000275678 A]
PUBLISHED: October 06, 2000 (20001006)
INVENTOR(s): KAWAKITA TETSUO
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD
APPL. NO.: 11-083320 [JP 9983320]
FILED: March 26, 1999 (19990326)
INTL CLASS: G02F-001/136; H01L-029/786; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To obtain a stable thin-film transistor of high reliability, in which the Id-Vg characteristics of the transistor are improved without decreasing the thickness of a gate oxide film and the gate leak is extremely little, by forming the gate insulating film consisting of an insulating material, having a high dielectric const. or of a laminated structure including this material.

SOLUTION: An undercoat film 11 and a semiconductor layer 12 are formed on an insulating substrate 10, on which a gate insulating film 13 is formed. As the gate insulating film 13, a single layer of an insulating film 13 having a high dielectric const. or a laminated film of this layer and silicon oxide film is used. When the laminated structure is to be formed, it is required to laminate the silicon oxide film in contact with the polysilicon film 12. The insulating material having a high dielectric const. is, for example, Al₂O₃ having 8.6 to 10.55 dielectric const. or as for a material having a higher const., for example, TiO₂ having 85.8 or TaO₂ having 50 to 120 dielectric const. can be used. For the method for forming the film, a sputtering method is mainly used. The silicon oxide film to be used for the laminated film is formed mainly by a CVD method.

COPYRIGHT: (C)2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-275678

(P 2 0 0 0 - 2 7 5 6 7 8 A)

(43) 公開日 平成12年10月6日(2000.10.6)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)	
G02F 1/136	500	G02F 1/136	500	2H092
H01L 29/786		H01L 29/78	617	T 5F110
21/336			617	V
			617	U

審査請求 未請求 請求項の数 8 O L (全7頁)

(21) 出願番号 特願平11-83320

(22) 出願日 平成11年3月26日(1999.3.26)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 河北 哲郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

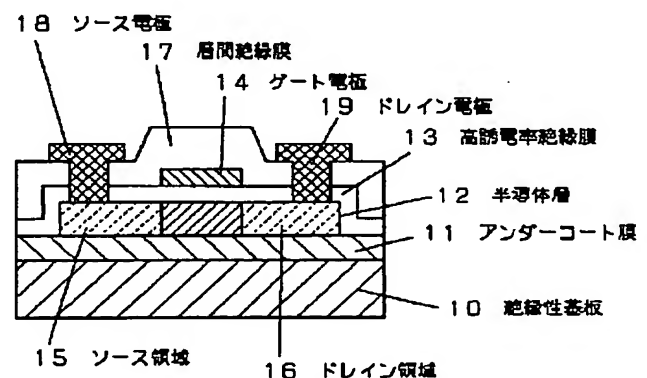
最終頁に続く

(54) 【発明の名称】 薄膜半導体装置およびその製造方法

(57) 【要約】

【課題】 薄膜トランジスタ(TFT)の性能で移動度を向上させるためにはゲート絶縁膜を薄くしていく方向で進められている。しかしゲート絶縁膜を薄くしていくとゲートリーク等の課題があり、安定かつ信頼性の高いTFTを得ることが難しくなってくる。よってゲート絶縁膜を薄くするのも限界がある。

【解決手段】 ゲート絶縁膜に高誘電率絶縁材料、もしくはこの材料を含んだ積層構造とする。これによって厚い膜厚でも高い容量が得ることができ、結果として高い移動度のTFTを実現する子ができる。



【特許請求の範囲】

【請求項1】ソース領域、ドレイン領域、ゲート領域を有する薄膜半導体装置であって、半導体層、ゲート絶縁膜層、ゲート電極層の順番で下層から積層され、前記ゲート絶縁膜がシリコン酸化膜より少なくとも誘電率が2倍以上高い材料で構成されたことを特徴とした薄膜半導体装置。

【請求項2】ソース領域、ドレイン領域、ゲート領域を有する薄膜半導体装置であって、半導体層、ゲート酸化膜、ゲート電極の順番で下層から積層され、前記ゲート絶縁膜がシリコン酸化膜と前記シリコン酸化膜より少なくとも誘電率が2倍以上高い材料で構成され、前記シリコン酸化膜は前記半導体層と接触するような順番で積層されたことを特徴とした薄膜半導体装置。

【請求項3】ソース領域、ドレイン領域、ゲート領域を有する薄膜半導体装置であって、ゲート電極、ゲート酸化膜、半導体層の順番で下層から積層され、前記ゲート絶縁膜がシリコン酸化膜より少なくとも誘電率が2倍以上高い材料で構成されたことを特徴とした薄膜半導体装置。

【請求項4】ソース領域、ドレイン領域、ゲート領域を有する薄膜半導体装置であって、ゲート電極、ゲート酸化膜、半導体層の順番で下層から積層され、前記ゲート絶縁膜がシリコン酸化膜と前記シリコン酸化膜より少なくとも誘電率が2倍以上高い材料で構成され、前記シリコン酸化膜は前記半導体層と接触するような順番で積層されたことを特徴とした薄膜半導体装置。

【請求項5】ソース領域、ドレイン領域、ゲート領域を有する薄膜半導体装置の製造方法であって、絶縁性基板上に絶縁性層を形成する工程、前記絶縁性層上に半導体層を形成する工程、前記半導体層上にシリコン酸化膜より少なくとも誘電率が2倍以上高い材料を形成する工程、前記シリコン酸化膜より誘電率が高い材料上にゲート電極を形成する工程、しかる後に前記ゲート電極をマスクにして不純物を注入してソース領域およびドレイン領域を形成する工程、その後層間絶縁膜を形成して、前記ソース領域およびドレイン領域に対応した位置にコンタクトホールを形成し、電極を埋め込んでソース電極、ドレイン電極を形成することを特徴とした薄膜半導体装置の製造方法。

【請求項6】ソース領域、ドレイン領域、ゲート領域を有する薄膜半導体装置の製造方法であって、絶縁性基板上に絶縁性層を形成する工程、前記絶縁性層上に半導体層を形成する工程、前記半導体層上にシリコン酸化膜と前記シリコン酸化膜より少なくとも誘電率が2倍以上高い材料を積層形成する工程、前記シリコン酸化膜より誘電率が高い材料上にゲート電極を形成する工程、しかる後に前記ゲート電極をマスクにして不純物を注入してソース領域およびドレイン領域を形成する工程、その後層間絶縁膜を形成して、前記ソース領域およびドレイン領

域に対応した位置にコンタクトホールを形成し、電極を埋め込んでソース電極、ドレイン電極を形成することを特徴とした薄膜半導体装置の製造方法。

【請求項7】ソース領域、ドレイン領域、ゲート領域を有する薄膜半導体装置の製造方法であって、絶縁性基板上に絶縁性層を形成する工程、前記絶縁性層上にゲート電極を形成する工程、前記ゲート電極上にシリコン酸化膜より少なくとも誘電率が2倍以上高い材料を形成する工程、前記シリコン酸化膜より誘電率が高い材料上に半導体層を形成する工程、しかる後に不純物を注入してソース領域およびドレイン領域を形成する工程、その後層間絶縁膜を形成して、前記ソース領域およびドレイン領域に対応した位置にコンタクトホールを形成し、電極を埋め込んでソース電極、ドレイン電極を形成することを特徴とした薄膜半導体装置の製造方法。

【請求項8】ソース領域、ドレイン領域、ゲート領域を有する薄膜半導体装置の製造方法であって、絶縁性基板上に絶縁性層を形成する工程、前記絶縁性層上にゲート電極を形成する工程、前記ゲート電極上にシリコン酸化膜より少なくとも誘電率が2倍以上高い材料とシリコン酸化膜を積層形成する工程、前記シリコン酸化膜上に半導体層を形成する工程、しかる後に不純物を注入してソース領域およびドレイン領域を形成する工程、その後層間絶縁膜を形成して、前記ソース領域およびドレイン領域に対応した位置にコンタクトホールを形成し、電極を埋め込んでソース電極、ドレイン電極を形成することを特徴とした薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本技術は液晶ディスプレイに用いる薄膜トランジスタアレイの形成方法に関するものである。

【0002】

【従来の技術】現在マルチメディア機器や携帯、通信機器には非常に多くの液晶ディスプレイが用いられてきている。また、これらの電子機器から液晶ディスプレイに対して求められている共通の要求は高性能化と高精細化である。このため薄膜トランジスタ（以下TFTと称する）をもちいた液晶パネルでは画素部構成されているTFTの高性能化が求められてきている。また最近では電子移動度が従来のアモルファスシリコンより約1～2桁高いポリシリコンを半導体層に用い、画素部以外に外部の駆動回路部分まで内蔵させた液晶表示パネルが開発されている。

【0003】これらの要求を満たすためにTFTは微細化が進められて、移動度の向上と低電圧化が進められている。

【0004】図7に従来技術における薄膜トランジスタの断面構成を示す。絶縁性基板（例えばガラス基板）10上にアンダーコート膜11が形成され、その上に半導

10

20

30

40

50

体層12が形成され、ゲート絶縁膜13を介してゲート電極14が形成されている。ソース電極18およびドレイン電極19はゲート電極14に対して自己整合的にイオン注入されて形成されている。また、ゲート電極14とソース電極18およびドレイン電極19は層間絶縁膜17を介して多層配線構造となっている。

【0005】

【発明が解決しようとする課題】図7に示した構造の薄膜トランジスタにおいて、トランジスタの駆動能力を決定するドレイン電流は以下の式で決定される。

【0006】

$$I_d = (C_0 \cdot \mu \cdot W) / L \cdot (V_g - V_{th}) V_{ds} - 1/2 V_{ds}^2$$

ここで C_0 は酸化膜の容量、 μ ：電子移動度、 W トランジスタの幅、 L ：トランジスタの長さ、 V_g ：ゲート電圧、 V_{th} ：しきい値電圧、 V_{ds} ：ソース・ドレイン間電圧である。

【0007】この式においてドレイン電流を増大させて駆動能力を向上させるには半導体層の電子移動度を向上させたり、ゲート絶縁膜の容量を増大させることなどが必要になってくる。

【0008】以下にゲート絶縁膜の容量を増大させてトランジスタのドレイン電流を大きくする場合の問題点を説明する。

【0009】まず、誘電体の容量は以下の式で決定される。

$$C_0 = (K_0 \cdot \epsilon_0) / t_d$$

ここで K_0 は酸化膜の比誘電率、 ϵ_0 は真空の誘電率、 t_d は酸化膜の膜厚である。

【0011】上式において容量： C_0 を増大させるには酸化膜の比誘電率を増大させるかまたは膜厚を薄くするしか手段はない。この場合、これまでには膜厚を薄くしていく方向で容量を増大させていく取り組みが中心になされてきた。しかしながら膜厚を薄くしていくことは技術的にかなり困難な課題が多く発生してくる。

【0012】たとえば、図8にTFTの断面図を示すが、単純にゲート絶縁膜13の膜厚を薄くすると、半導体層12のエッジ部分ではゲート絶縁膜13は極めて薄くなっているため、ゲート電極14との間でリークが発生する。このため、逆にトランジスタの電気特性が大きく劣化してく問題が発生する。このため膜厚を薄くしていくにも限界が生じてくるわけである。

【0013】すなわち、ここで酸化膜の膜厚はリーク電流の課題があるためにある一定以上の膜厚を確保する必要があるということになる。

【0014】この課題の解決策として、本発明は酸化膜に誘電率の大きな材料を用いるものである。たとえば従来、TFTのゲート絶縁膜の酸化膜にはシリコン酸化膜が使用されてきているが、この比誘電率は4.5～4.6程度である。しかしシリコン酸化膜以外の誘電体膜で比誘電率が高いものを使用すれば、同じ膜厚であれば当

然容量は大きくなる。たとえば比誘電率がシリコン酸化膜の2倍のものを使用した場合、膜厚が同じであれば、単純に容量は2倍になることになる。

【0015】

【課題を解決するための手段】上述で説明したように、酸化膜の膜厚を薄くすることなくTFTのドレイン電流を増大させてトランジスタの駆動能力を増大させる方法として、従来ゲート絶縁膜として用いられてきているシリコン酸化膜より比誘電率が高い材料をゲート絶縁膜として使用する。

【0016】

【発明の実施の形態】本発明における薄膜トランジスタの一構造を図1を用いて説明する。ここで説明するTFT構造はトップゲート構造のTFTである。

【0017】絶縁性基板10上にアンダーコート膜11と半導体層12が形成されている。この上にゲート絶縁膜13が形成されており、このゲート絶縁膜にシリコン酸化膜より比誘電率の高い材料を用いている。たとえば比誘電率8.6～10.55である Al_2O_3 、さらに大きなものであると85.8の TiO_2 、50～120の TaO_5 等である。この上にゲート電極14を設け、このゲート電極14の両サイドにソース領域15とドレイン領域16が不純物を注入することで形成されている。ゲート電極14上からは層間絶縁膜17が形成されており、ソース領域15、ドレイン領域16にそれぞれに達するコンタクトホールでソース電極18とドレイン電極19が形成された構成となっている。

【0018】また第2の実施例としては図2に示す。

【0019】第1の実施例で示したTFT構造で半導体層とゲート絶縁膜の界面特性をさらに向上させるためには以下のような構造が有効である。

【0020】半導体層12までの構造は図1と同様である。しかしここではゲート絶縁膜を2層構造としている。すなわち半導体層12上にはシリコン酸化膜21を形成して、その上に高比誘電率絶縁膜13を形成する。ここでシリコン酸化膜21は半導体層12との界面特性を向上させるのが目的であるため、膜厚としては極めて薄くてもよい。ここでは約100～500Å程度とした。高比誘電率材料22は図1に示したものと同様なものを用いた。膜厚は誘電率にも依存するが、リーク電流がない膜厚とし、しかもシリコン酸化膜より十分に容量が大きくなるような値を選択した。たとえば Al_2O_3 を用いたときは膜厚を約1000～2000Å程度とした。膜厚が1000Åとすれば容量はシリコン酸化膜を用いた場合の約2倍になるのでドレイン電流も2倍になって駆動能力は2倍になることになる。膜厚2000Åでもシリコン酸化膜1000Åと同じ容量が得られるので同等の駆動能力のTFTが得られることになる。

【0021】次に第3の実施例を図3とともに説明する。ここで説明するTFT構造はボトムゲート型のTFT

T構造である。まず絶縁性基板10にアンダーコート膜11が形成されており、その上にゲート電極14が形成されている。その上からゲート絶縁膜13と半導体層12が積層されている。このゲート絶縁膜13に上記実施例と同様にシリコン酸化膜より比誘電率の高い材料を用いている。たとえば比誘電率8.6~10.55である Al_2O_3 、さらに大きなものであると85.8の TiO_2 、50~120の TaO_5 等である。

【0022】ゲート電極14の両サイドにソース領域15とドレイン領域16を不純物を注入することで形成されている。半導体層12上からは層間絶縁膜17が形成されており、ソース領域15、ドレイン領域16にそれぞれに達するコンタクトホールでソース電極18とドレイン電極19が形成された構成となっている。

【0023】また、第4の実施例を図4とともに説明する。第3の実施例で示したTF T構造で半導体層とゲート絶縁膜の界面特性をさらに向上させるためには以下のような構造が有効である。

【0024】まず絶縁性基板10にアンダーコート膜11が形成されており、その上にゲート電極14が形成されている。その上からゲート絶縁膜と半導体層12が積層されている。この時、実施例2と同様に界面特性を向上させるためにシリコン酸化膜21と高誘電率絶縁材料22の2層構造とする。シリコン酸化膜21は半導体層12に接触するように配置し、シリコン酸化膜21とゲート電極14の間に高誘電率絶縁材料22が配置されるように構成する。この高誘電率絶縁材料22には上記実施例と同様にシリコン酸化膜より比誘電率の高い材料を用いている。たとえば比誘電率8.6~10.55である Al_2O_3 、さらに大きなものであると85.8の TiO_2 、50~120の TaO_5 等である。

【0025】ゲート電極14の両サイドにソース領域15とドレイン領域16を不純物を注入することで形成されている。半導体層12上からは層間絶縁膜17が形成されており、ソース領域15、ドレイン領域16にそれぞれに達するコンタクトホールでソース電極18とドレイン電極19が形成された構成となっている。

【0026】次に実施例1~4までに示したTF T構造の製造方法について説明する。まず実施例1および2で示したトップゲート構造TF Tの製造方法について図5

【0027】まず図5(a)に示すように絶縁性基板10上にアンダーコート膜11として SiO_2 膜を形成する。厚さは2000~10000Å程度とした。次に図5(b)に示すように前面にアモルファスシリコン(a-Si)を形成して、エキシマレーザーアニールによってポリシリコン化して、トランジスタを形成する領域のみにポリシリコン膜12を残すようにパターンニングする。アモルファスシリコンはプラズマCVD法で形成し、膜厚は300~900Å程度とした。パターンニン

グはフォトリソトによるパターンニングを行った後、ドライエッチングによって行った。次の図5(c)に示すように全面にゲート絶縁膜を形成する。このゲート絶縁膜には高誘電率絶縁膜13による単層膜またはシリコン酸化膜との積層膜を用いる。積層する場合にはシリコン酸化膜は必ずポリシリコン12と接触する順番で積層する。高誘電率絶縁材料には、たとえば比誘電率8.6~10.55である Al_2O_3 、さらに大きなものであると85.8の TiO_2 、50~120の TaO_5 等を用い、形成方法としてはおもにスパッタ法で行った。積層膜とする場合に用いるシリコン酸化膜は主にCVD法を用いて形成した。この時にシリコン酸化膜はポリシリコン膜12との界面特性を向上させるために用いるので膜厚は極めて薄くてよく、約100~500Å程度とした。

【0028】次に図5(d)に示すようにゲート電極として金属膜を全面に形成して、ゲート電極に対応した位置にのみ金属膜を残してゲート電極14とする。形成方法はスパッタ法を用い、材料的にはAl系合金や高融点金属を用いた。次に図5(e)に示すように、この状態でnチャネルの薄膜トランジスタを形成する場合には、p(リン)イオン51を注入する。注入条件としては加速電圧が60~70KeV、注入量は、 $1.0E15 \sim 5.0E15$ とした。このときゲート電極外のポリシリコン領域は上記の量のpが注入されてn+層が形成されて、ソース領域15およびドレイン領域16が形成されることになる。次に図5(f)に示すように前面に層間絶縁膜17を形成する。この膜はAPCVDやTEOSプラズマCVDによる SiO_2 膜を用い、厚さは約6000~9000Å程度とした。

【0029】次に図5(g)に示すように、ソース領域15とドレイン領域16に相当する部分にコンタクトホールを形成して、金属膜を埋め込んでソース電極18とドレイン電極19を形成する。これによって薄膜トランジスタが完成したことになる。

【0030】次に図6を用いて実施例3~4に示したボトムゲート構造のTF Tの製造方法について説明する。まず図6(a)に示すように絶縁性基板10上にアンダーコート膜11として SiO_2 膜を形成する。厚さは2000~10000Å程度とした。この上からゲート電極として金属膜を前面に形成して、ゲート電極に対応した位置にのみ金属膜を残してゲート電極14とする。形成方法はスパッタ法を用い、材料的にはAl系合金や高融点金属を用いた。次に図6(b)に示すように全面にゲート絶縁膜を形成する。このゲート絶縁膜には高誘電率絶縁膜13による単層膜またはシリコン酸化膜との積層膜を用いる。積層する場合にはシリコン酸化膜は必ずポリシリコンと接触する順番で積層する。この場合、下側に高誘電率絶縁膜13とし、その上にシリコン酸化膜を積層にした構造とする。高誘電率絶縁材料には、たと

例えば比誘電率8.6~10.55である Al_2O_3 、さらに大きなものであると85.8の TiO_2 、50~120の TaO_5 等を用い、形成方法としてはおもにスパッタ法で行った。積層膜とする場合に用いるシリコン酸化膜は主にCVD法を用いて形成した。この時にシリコン酸化膜はポリシリコン膜との界面特性を向上させるために用いるので膜厚は極めて薄くてよく、約100~500Å程度とした。その後、図6(c)に示すように前面にアモルファスシリコン(a-Si)を形成して、エキシマレーザアニールによってポリシリコン化して、トランジスタを形成する領域のみに半導体層12としてポリシリコン膜を残すようにパターンニングする。アモルファスシリコンはプラズマCVD法で形成し、膜厚は300~900Å程度とした。パターンニングはフォトリソによるパターンニングを行った後、ドライエッチングによって行った。

【0031】その後、全面に層間絶縁膜17を形成し、その上にゲート電極14と同じ位置に金属膜61を形成する。層間絶縁膜17にはシリコン酸化膜やシリコンナイトライド膜等を用い、形成方法にはCVD法を用い、膜厚は約5000~10000Å程度とした。金属膜61にはTaやTi等の高融点金属で密度の高い材料を用いた。スパッタ法等で形成した後、ドライエッチング等で選択的にパターンニングして形成した。その後、図6(e)に示すように、この状態でnチャネルの薄膜トランジスタを形成する場合には、p(リン)イオン51を注入する。注入条件としては加速電圧が60~70KeV、注入量は $1.0E15 \sim 5.0E15$ とした。このとき金属膜1の直下以外のポリシリコン領域は上記の量のpが注入されてn+層が形成されて、ソース領域15およびドレイン領域16が形成されることになる。次に図6(f)に示すように金属膜61をエッチングによって除去した後、ソース領域15とドレイン領域16に相当する部分にコンタクトホールを形成して、金属膜を埋め込んでソース電極18とドレイン電極19を形成する。これによって薄膜トランジスタが完成したことになる。

【0032】

【発明の効果】以上説明してきたように、本発明によれば、

ゲート絶縁膜に高誘電率絶縁材料、もしくはこの材料を含んだ積層構造とすることによって以下に示すような効果がある。

【0033】トランジスタの I_d-V_g 特性をゲート酸化膜を薄くすることなく向上させることが可能となる。特性としてはオン電流が高く移動度の大きい薄膜トランジスタを得ることが出来る。

【0034】また、ゲート酸化膜を薄くすることなく、上記の効果を実現できるために、ゲートリークの極めて少ない安定かつ信頼性の高い薄膜トランジスタを実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による薄膜トランジスタの構造断面図

【図2】本発明による第2の実施例の薄膜トランジスタの構造断面図

【図3】本発明による第3の実施例の薄膜トランジスタの構造断面図

【図4】本発明による第4の実施例の薄膜トランジスタの構造断面図

【図5】本発明による第1および2の実施例の薄膜トランジスタ形成工程断面図

【図6】本発明による第1および2の実施例の薄膜トランジスタ形成工程断面図

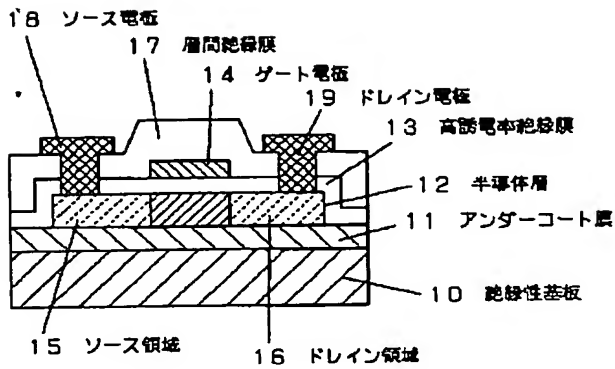
【図7】従来技術における薄膜トランジスタの構造断面図

【図8】従来技術における課題を説明する断面図

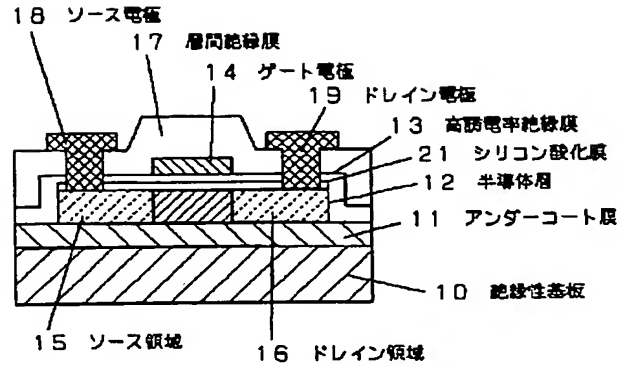
【符号の説明】

- 10 基板
- 11 アンダーコート膜
- 12 半導体層
- 13 高誘電率絶縁膜
- 14 ゲート電極
- 15 ソース領域
- 16 ドレイン領域
- 17 層間絶縁膜
- 18 ソース電極
- 19 ドレイン電極
- 21 シリコン酸化膜

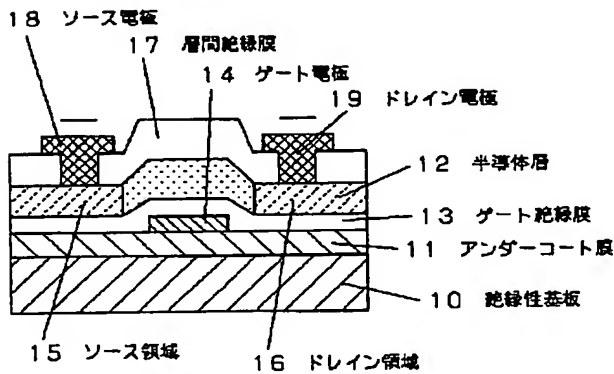
【図 1】



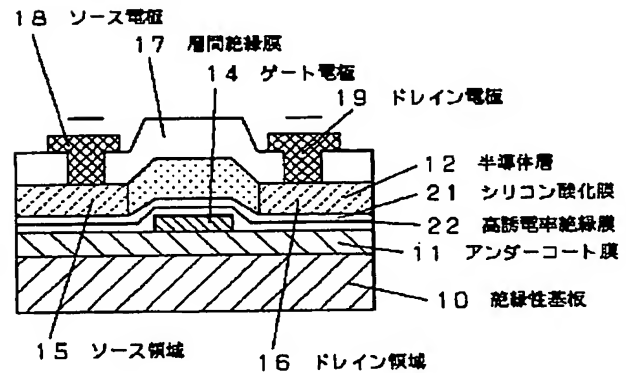
【図 2】



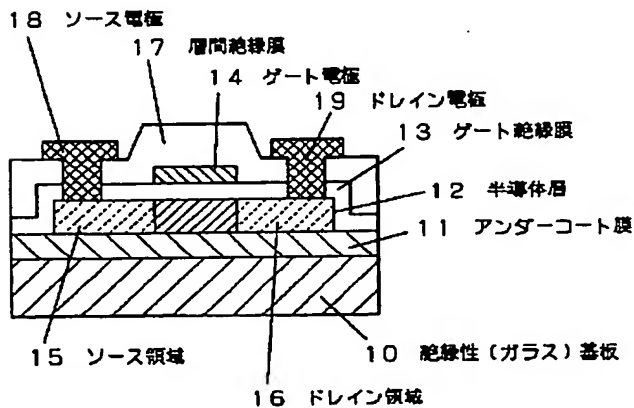
【図 3】



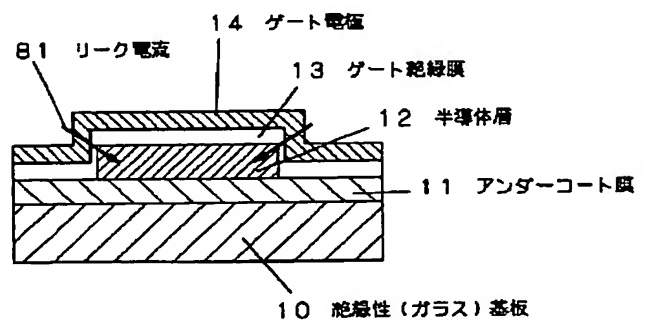
【図 4】



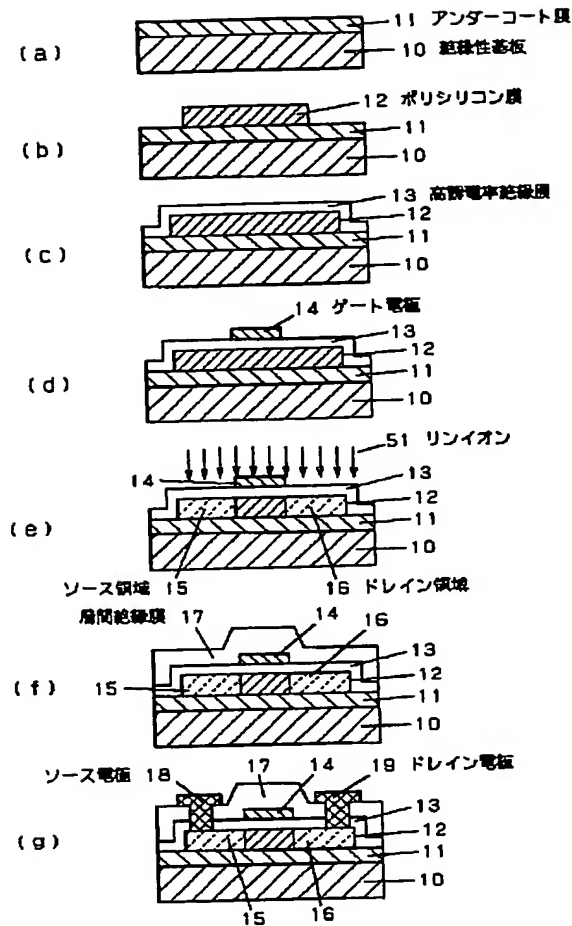
【図 7】



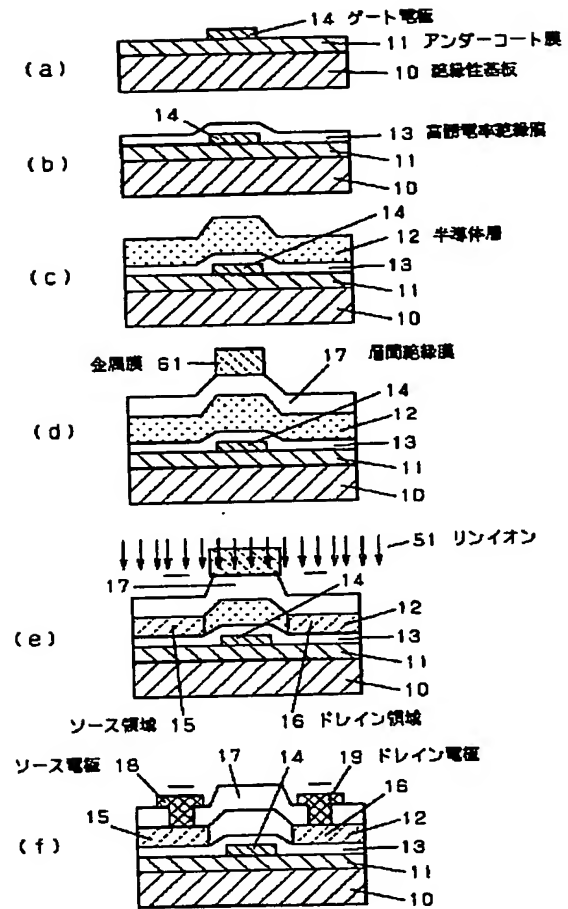
【図 8】



【図5】



【図6】



フロントページの続き

Fターム(参考) 2H092 JA25 JA28 JA34 JA36 JA37
JA41 JA46 JB56 KA04 KA05
KA11 KB25 MA08 MA27 MA30
5F110 AA01 AA05 CC02 CC08 DD13
EE03 EE06 EE44 FF01 FF02
FF09 FF28 FF29 GG02 GG13
GG25 GG45 HJ01 HJ04 HJ13
HL02 NN02 NN04 NN23 NN35
PP03 QQ11 QQ30